

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-083290
 (43) Date of publication of application : 02.04.1993

(51) Int.CI. H04L 12/48
 H04L 12/56

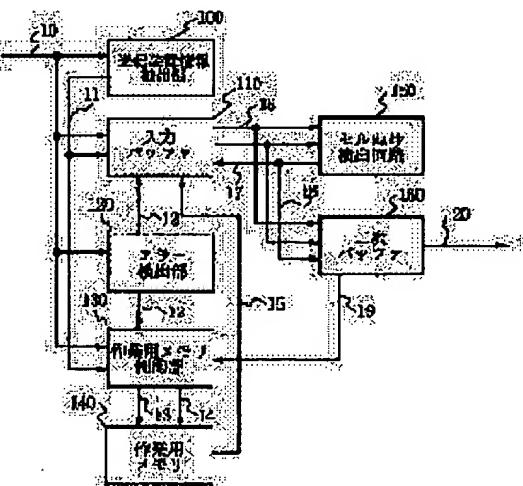
(21) Application number : 03-245327 (71) Applicant : NEC COMMUN SYST LTD
 (22) Date of filing : 25.09.1991 (72) Inventor : YAMAMOTO TORU

(54) CELL DECOMPOSING CIRCUIT

(57) Abstract:

PURPOSE: To miniaturize a device and to improve the use efficiency by providing an input buffer logically divided by individual transmission device information, a secondary buffer, and a work memory and independently decomposing a multiplexed input cell to reproduce it into an arbitrary packet length.

CONSTITUTION: The cell inputted from an input cell data line 10 is stored in an input buffer 110 in the position corresponding to transmission device information. If error is reported at this time, the cell is abandoned. When an error flag is not set, a work memory control part 130 writes the number of transmission device information in a FIFO type work memory 140 and writes final data in the detection order. When the output end of a secondary buffer 150 is confirmed thereafter, stored cells are read out from the buffer 110 from the start and are transferred to the buffer 160 and a cell omission detecting circuit 150. When being informed of cell omission, the buffer 160 abandons a packet of arbitrary length being in source of assembling. Thus, the device is miniaturized and the use efficiency is improved.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-83290

(43)公開日 平成5年(1993)4月2日

(51)Int.CL⁵H 04 L 12/48
12/66

識別記号

序内整理番号

F I

技術表示箇所

8529-5K
8529-5K

H 04 L 11/ 20

Z

102 F

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号

特願平3-245327

(71)出願人

000292254
日本電気通信システム株式会社
東京都港区三田1丁目4番28号

(22)出願日

平成3年(1991)9月25日

(72)発明者

山本 透
東京都港区三田一丁目4番28号日本電気通信システム株式会社内

(74)代理人

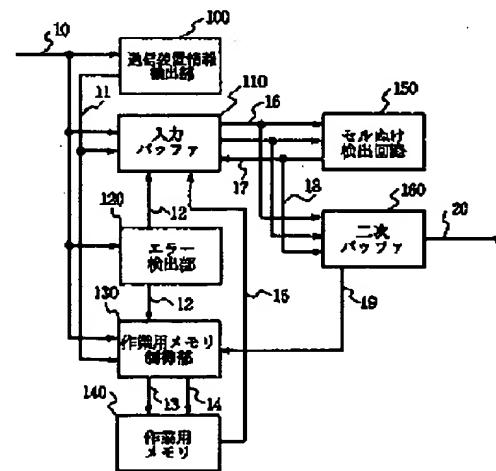
弁理士 内原 音

(64)【発明の名称】 セル分解回路

(57)【要約】

【目的】多層された入力セルを独立に分解し、分割された以前の任意の長さのパケットを再生する事を可能とする。

【構成】入力セルデータ線10から入力されたセルを一度、送信装置別の入力バッファ110に蓄積し、最終データを含むセルが入力された後に、入力バッファ110より、同じ送信装置から入力され蓄積されたセルを読み出し、2次バッファ160に転送する。



(2)

特開平5-83290

1

【特許請求の範囲】

【請求項1】 任意の長さを持つパケットを一度セルと呼ばれる送信装置情報および制御情報を含むヘッダ部と情報信号から成る固定長パケットに変換し、該セルのみによって情報の伝送、交換を行い、該セルのみが多量された形式のインタフェースを用いるATM通信方式において、送信装置毎に分割されたファーストイン／ファーストアウト形式の入力バッファと、この入力バッファに接続される2次バッファと、前記入力バッファを分割した個数分の容量を持つファーストイン／ファーストアウト形式の作業用メモリとを設け、
10 入力されたセルのヘッダ部から送信装置表示情報と任意の長さを持つパケットを再生するための位置情報およびエラー情報を抽出し、該セルにエラーがあれば、該セルの送信装置に対応した入力バッファ内に蓄積されているセルをすべて廃棄し、該セルにエラーが無ければ、該入力バッファの送信装置に対応した位置に蓄積し、該入力セルの位置情報をパケットの最終データを含む事を示していれば、該送信装置情報を前記作業用メモリに設定し、該作業用メモリ内に設定されている送信装置情報があれば、該送信装置に対応した入力バッファ内に蓄積されているセルを分解し、入力バッファから読み出した蓄積されているセルにぬけがない場合にのみ、該読み出したセルの情報信号のみを前記2次バッファに転送し、該読み出したセルにぬけがあれば該送信装置情報を持つ蓄積されたセルをすべて廃棄することを特徴とするセル分解回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は固定長のセルを単位として動作する回路と任意の長さのパケットを使用する回路とインタフェースするセル分解回路に関し、多重されて入力される送信装置の異なるセルをそれぞれ独立に分解し、正常な任意の長さのパケットのみを再生し、出力するセル分解回路に関するもの。

【0002】

【従来の技術】 従来のセル分解回路の構成例を図2に示す。従来、この種のセル分解回路においては、一つのバッファのみで全処理を行うため、入力側には、アドレスフィルタ220を使用し、ただ一つの送信装置から入力されるセルのみをセル分解制御回路200に入力し、エラーの検出、セルぬけの検出を行い、バッファメモリ210にて任意の長さのパケットのみを再生し、出力させていた。よって、複数の送信装置から入力されるセルを受信する場合には、上記の一連の動作を行う回路を入力される送信装置数に応じた数だけ用意していた。

【0003】

【発明が解決しようとする課題】 従来のセル分解回路では、ただ一つの送信装置から入力されるセルのみのセル分解動作を行う回路を入力される送信装置数に応じた数

2

だけ用意していたため、入力される送信装置数が少ないと前提としていた。このため入力される送信装置数が多い場合のアプリケーションにおいては、装置が大型化する。また、入力される送信装置数に応じた数のセル分解回路を用意することが必要となるため、使用効率が著しく低くなる。

【0004】

【課題を解決するための手段】 本発明のセル分解回路は、任意の長さを持つパケットを一度セルと呼ばれる送信装置情報および制御情報を含むヘッダ部と情報信号から成る固定長パケットに変換し、該セルのみによって情報の伝送、交換を行い、該セルのみが多量された形式のインタフェースを用いるATM通信方式において、送信装置毎に分割されたファーストイン／ファーストアウト形式の入力バッファと、この入力バッファに接続される2次バッファと、前記入力バッファを分割した個数分の容量を持つファーストイン／ファーストアウト形式の作業用メモリとを設け、入力されたセルのヘッダ部から送信装置表示情報と任意の長さを持つパケットを再生するための位置情報およびエラー情報を抽出し、該セルにエラーがあれば、該セルの送信装置に対応した入力バッファ内に蓄積されているセルをすべて廃棄し、該セルにエラーが無ければ、該入力バッファの送信装置に対応した位置に蓄積し、該入力セルの位置情報をパケットの最終データを含む事を示していれば、該送信装置情報を前記作業用メモリに設定し、該作業用メモリ内に設定されている送信装置情報があれば、該送信装置に対応した入力バッファ内に蓄積されているセルを分解し、入力バッファから読み出した蓄積されているセルにぬけがない場合にのみ、該読み出したセルの情報信号のみを前記2次バッファに転送し、該読み出したセルにぬけがあれば該送信装置情報を持つ蓄積されたセルをすべて廃棄する構成である。

【0005】

【実施例】 次に、本発明について図面を参照して説明する。

【0006】 図1は本発明の一実施例を示すセル分解回路のブロック図である。まず、入力バッファに対する書き込み動作について説明する。入力セルデータ線10により入力されるセルは、送信装置情報抽出部100、入力バッファ110、エラー検出部120および作業用メモリ制御部130に接続される。送信装置情報抽出部100にて抽出された送信装置情報は、送信装置情報通知線11により入力バッファ110および作業用メモリ制御部130に通知される。また、エラー検出部120でエラーが検出された場合は、エラー通知線12により入力バッファ110および作業用メモリ制御部130に通知される。

【0007】 入力バッファ110は、送信装置情報通知線11により通知された送信装置情報を対応する位置に

(3)

特開平5-83290

3

入力セルデータ線10より入力されるセルを蓄積する。このセルを蓄積中にエラー通知線12によりエラーが通知されると蓄積中の入力セルとすでに蓄積されているセルを廃棄する。

【0008】作業用メモリ制御部130では、エラー通知線12によりエラーが通知されるとその時に送信装置情報通知線11から通知される送信装置情報に対応するエラー検出フラグを設定する。入力セルデータ線10より入力されるセルで最終データを持つセルを検出しこのセルの入力が完了した時に、送信装置情報通知線11により通知された送信装置情報に対応するエラー検出フラグを調べ、エラーが通知されていれば、この最終データ表示を無視し、エラー検出フラグを解除する。このエラーフラグが設定されていないときは、該当の送信装置情報の番号を作業用メモリ書き込み線13を介してファーストイン／ファーストアウト(FIFO)形式の作業用メモリ140に書き込み、最終データを検出した順序を保存する。

【0009】次に、入力バッファからの読み出しについて説明する。作業用メモリ制御部130で作業用メモリ140内に保存した送信装置情報があれば、2次バッファ160から通知される2次バッファ空き表示線19により2次バッファ160から再生された任意の長さのパケットの出力が終了していることを確認すると、作業用メモリ140に接続されている転送送信装置情報読み出し線14を介して蓄積されている最も以前に最終データを検出した送信装置情報を読みだす。読みだされた該当の送信装置情報は、転送送信装置番号通知線15を介して入力バッファ110に通知される。

【0010】入力バッファ110は、通知された該当の送信装置情報番号に対応する蓄積セルを先頭から順次読みだし、蓄積セル転送データ線16により、セルぬけ検出回路150および2次バッファ160に転送する。セルぬけ検出回路150は、蓄積セル転送データ線16により転送されるセル中にセルぬけを検出するとセルぬけ検出通知線18を介して、入力バッファ110および2次バッファ160に通知される。入力バッファ110は、セルぬけ検出通知線18を介して通知されるセルぬけか、蓄積されていたすべてのセルを転送すると転送データ終了表示線17をセルぬけ検出回路150および2次バッファ160に通知する。

【0011】2次バッファ160は、セルぬけ検出通知線18を介してセルぬけを通知されると組立中の任意の長さを持つパケットを廃棄し、2次バッファ空き表示線19を介して作業用メモリ制御部130に空き状態を通

4

知する。また、2次バッファ160は、転送データ終了表示線17を介して蓄積セルの転送完了を通知されると、出力パケットデータ線20を介して再生した任意の長さを持つパケットを出力し、このパケットの出力が完了すると2次バッファ空き表示線19を介して作業用メモリ制御部130に空き状態を通知する。

【0012】

【発明の効果】以上説明したように本発明は、送信装置情報毎に論理分割された入力バッファと2次バッファおよび作業用メモリを持つことで多数の送信装置情報を持つセルを独立に分解し、任意の長さを持つパケットを再生するため、装置の小型化、使用効率向上を計ることを可能にする効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック構成図である。

【図2】従来のセル分解回路の構成例を示すブロック構成図である。

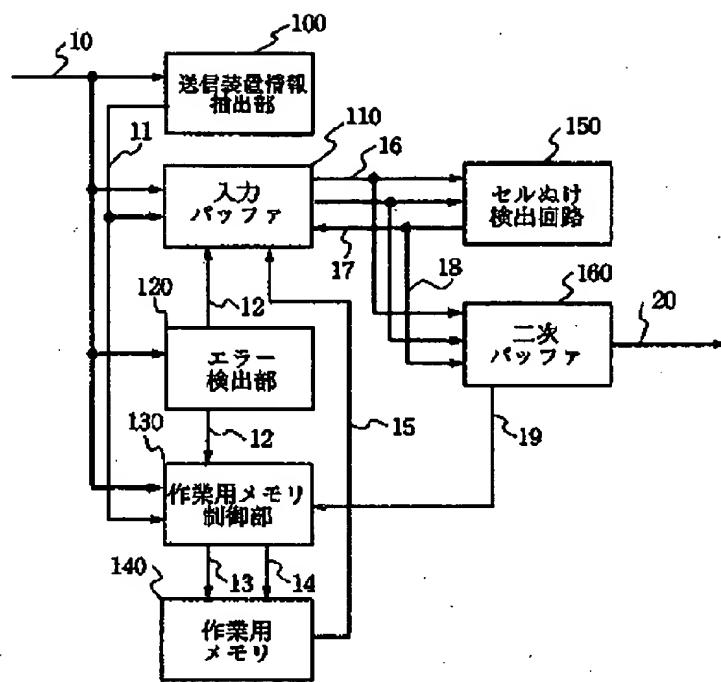
【符号の説明】

20	100	送信装置情報抽出部
	110	入力バッファ
	120	エラー検出部
	130	作業用メモリ制御部
	140	作業用メモリ
	150	セルぬけ検出回路
	160	2次バッファ
	200	セル分解制御回路
	210	バッファメモリ
	220	アドレスフィルタ
30	10	入力セルデータ線
	11	送信装置情報通知線
	12	エラー通知線
	13	作業用メモリ書き込み線
	14	転送送信装置情報読み出し線
	15	転送送信装置番号通知線
	16	蓄積セル転送データ線
	17	転送データ終了表示線
	18	セルぬけ検出通知線
	19	2次バッファ空き表示線
40	20	出力パケットデータ線
	50	入力セルデータ線
	51	有効セルデータ線
	52	バッファ書き込み制御線
	53	バッファ読み出し制御線
	54	出力パケットデータ線

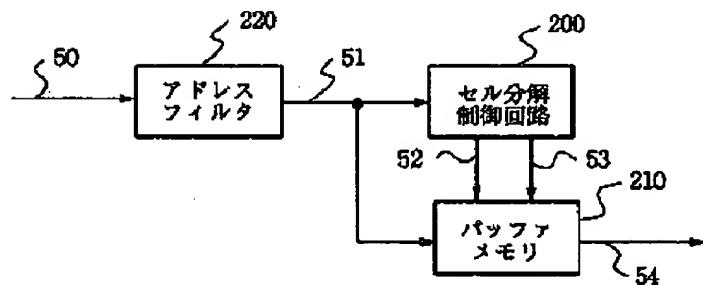
(4)

特開平5-83290

【図1】



【図2】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.